

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-045536

(43)Date of publication of application : 18.02.1994

(51)Int.Cl.

H01L 27/082  
H03F 3/343

(21)Application number : 04-154821

(71)Applicant : SHARP CORP

(22)Date of filing : 15.06.1992

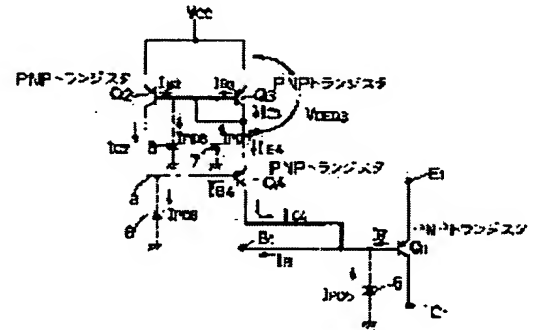
(72)Inventor : HANABUSA KOICHI  
YOKOGAWA SEIICHI  
OKABAYASHI NAONORI

## (54) PNP TRANSISTOR CIRCUIT

### (57)Abstract:

PURPOSE: To reduce the influence of light on the operation of a PNP transistor of a monolithic integrated circuit constituted so as to contain the PNP transistor.

CONSTITUTION: A first PNP transistor Q1 is connected with a peripheral circuit and functions. Both of the bases of a second and a third PNP transistors Q2, Q3 are connected with the emitter of a fourth PNP transistor Q4. The collector of the second PNP transistor Q2 is connected with the base of the fourth PNP transistor Q4. The collector of the fourth PNP transistor Q4 is connected with the base of the first PNP transistor Q1. The second, the third and the fourth PNP transistors Q2, Q3, and Q4 constitutes a current mirror circuit, and correct the photo current generated in a parasitic photodiode of a PNP transistor.



## LEGAL STATUS

[Date of request for examination] 12.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2906387

[Date of registration] 02.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Publication for Unexamined Patent Application**

**No. 6-45536/1994 (*Tokukaihei* 6-45536)**

**A. Relevance of the above-identified Document**

This document has relevance to all claims of the present application.

**B. Translation of the Relevant Passages of the Document**

See also the attached English Abstract.

**[CLAIMS]**

**[CLAIM 1]**

A PNP transistor circuit in a monolithic integrated circuit, comprising a first PNP transistor, characterized by further comprising:

a second PNP transistor;

a third PNP transistor;

a fourth PNP transistor;

a connecting point connecting a base terminal of the second PNP transistor, a base terminal of the third PNP transistor, and an emitter terminal of the fourth PNP transistor; and

a current mirror circuit connecting a collector terminal of the second PNP transistor with a base terminal of the fourth PNP transistor, and a collector terminal of the fourth PNP transistor with

a base terminal of the first PNP transistor.

[CLAIM 2]

The PNP transistor circuit as defined by claim 1, wherein:

$$S_1 = S_4 - (S_2 + S_3) \times \{(2/hfe)(1 + 1/hfe) + 1\}$$

where  $S_1$  is an area of a base region of the first PNP transistor;  $S_2$  is an area of a base region of the second PNP transistor;  $S_3$  is an area of a base region of the third PNP transistor;  $S_4$  is an area of a base region of the fourth PNP transistor; and  $hfe$  is a current amplification rate of the second, third, and fourth PNP transistors.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[INDUSTRIAL FIELD]

The present invention relates to a PNP transistor circuit, and more specifically to decreasing an influence of light on operation of PNP transistors in a monolithic integrated circuit.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-45536

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/082

H 0 3 F 3/343

A 8124-5J

7210-4M

H 0 1 L 27/08

1 0 1 B

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平4-154821

(22)出願日 平成4年(1992)6月15日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 花房 孝一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 横川 成一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 岡林 直憲

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

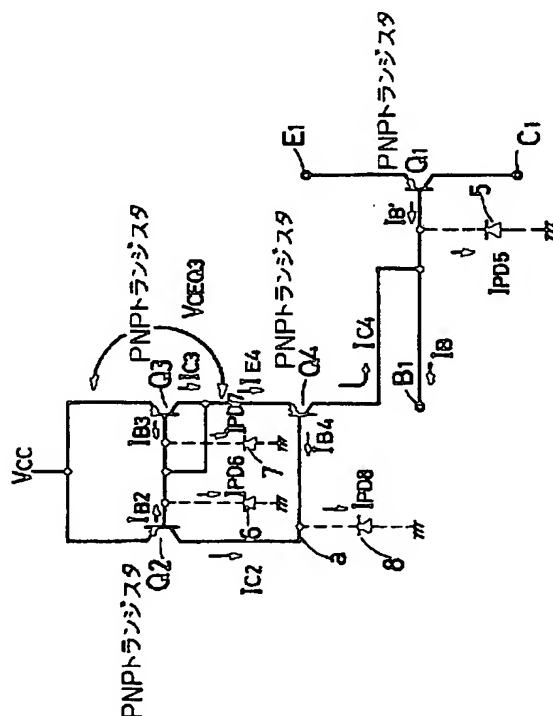
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 PNPトランジスタ回路

(57)【要約】

【目的】 PNPトランジスタを含んで構成されたモノシリック集積回路のPNPトランジスタの動作に対する光の影響の低減化を図る。

【構成】 第1のPNPトランジスタ(Q<sub>1</sub>)は周辺回路に接続されて機能する。第2及び第3のPNPトランジスタ(Q<sub>2</sub>), (Q<sub>3</sub>)は両ベースと第4のPNPトランジスタ(Q<sub>4</sub>)のエミッタを接続する。第2のPNPトランジスタ(Q<sub>2</sub>)のコレクタを第4のPNPトランジスタ(Q<sub>4</sub>)のベースに、第4のPNPトランジスタ(Q<sub>4</sub>)のコレクタを第1のPNPトランジスタのベースに接続する。第2、第3及び第4のPNPトランジスタはカレントミラー回路を構成し、PNPトランジスタの寄生フォトダイオードで発生した光電流を補正する。



(2)

## 【特許請求の範囲】

【請求項1】 モノシリック集積回路内に形成され第1のPNPトランジスタを有するPNPトランジスタ回路において、第2、第3及び第4のPNPトランジスタを用いて構成され、前記第2及び第3のPNPトランジスタの両ベース端子と前記第4のエミッタ端子のみを結線した接続点を有し、前記第2のPNPトランジスタのコレ \*

$$S_1 = S_4 - (S_2 + S_3) \times \{ (2/hfe) (1 + 1/hfe) + 1 \}$$

ここで、

$S_1$ : 前記第1のPNPトランジスタのベース領域の面積

$S_2$ : 前記第2のPNPトランジスタのベース領域の面積

$S_3$ : 前記第3のPNPトランジスタのベース領域の面積

$S_4$ : 前記第4のPNPトランジスタのベース領域の面積

$hfe$ : 前記第2、第3、第4のPNPトランジスタの電流増幅率。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はPNPトランジスタ回路に関するものであり、更に詳しくはモノシリック集積回路内のPNPトランジスタの動作に対する光の影響の低減化に関する。

## 【0002】

【従来の技術】 図3に従来のバイポーラモノシリック集積回路におけるPNPトランジスタの光電流補償回路の等価回路を、図4にその集積回路断面構造を示す。

【0003】 図4に示すように集積回路の構造上、N型エピタキシャル層(22)とP型サブストレート層(21)の間には寄生フォトダイオード(104)が存在するため、図3の等価回路においてPNPトランジスタ(Q101)のベース端子と接地点間にこの寄生フォトダイオード(104)が接続されることになる。

【0004】 図3において特にPNPトランジスタ(Q101)が光電変換素子と同一チップ内に近接して設けられた集積回路内に存在する場合は、光を受けて寄生フォトダイオード(104)に光電流( $I_{PD104}$ )が発生する可能性が高くなる。したがって、PNPトランジスタ(Q101)のベース電流( $I_{B101}'$ )はベース端子(B101)から他の回路へ流れる電流( $I_{B101}$ )と光電流( $I_{PD104}$ )の和、すなわち、次式で示す電流値となる。

$$I_{B101}' = I_{B101} + I_{PD104}$$

このため、PNPトランジスタ(Q101)のベース電流( $I_{B101}'$ )が増加し、回路の特性に多大な影響を及ぼす。

【0005】 従来はこの影響を減少させるため、発明者が特開平3-262153号に記述し、更に図3に示す

\*クタ端子を前記第4のPNPトランジスタのベース端子に接続し、前記第4のPNPトランジスタのコレクタ端子を前記第1のPNPトランジスタのベース端子に結線したカレントミラー回路を設けたことを特徴とするPNPトランジスタ回路。

【請求項2】 次の条件式を満足することを特徴とする第1請求項に記載のPNPトランジスタ回路。

10 ようにPNPトランジスタ(Q102)、(Q103)によるカレントミラー回路を付加することにより、寄生フォトダイオード(104)の光電流( $I_{PD104}$ )を補正する電流( $I_{C103}$ )をPNPトランジスタ(Q101)のベース端子に流し込み、表面から侵入する光による光電流( $I_{PD104}$ )を補正する回路を提案した。

## 【0006】

【発明が解決しようとする課題】 しかし上記回路では、図3に示すようにPNPトランジスタ(Q101)のベース端子(B101)の電位が周辺回路の影響等のために変化した場合、PNPトランジスタ(Q103)のコレクタ-エミッタ間電圧( $V_{CEQ103}$ )が変化し、アーリー効果によりPNPトランジスタ(Q103)のコレクタ電流( $I_{C103}$ )が変化する。そのため光電流( $I_{PD104}$ )に対する補正がずれ、高精度の光電流補正ができなくなる。

【0007】 又、PNPトランジスタの電流増幅率 $hfe$ はNPNトランジスタのそれよりも低く一般的には20~60程度となり、電流増幅率 $hfe$ が低下するとカレントミラーのミラー係数が1より小さくなり、アーリー効果によるPNPトランジスタ(Q103)のコレクタ電流( $I_{C103}$ )が変化し、光電流( $I_{PD104}$ )に対する補正がずれ、やはり高精度の光電流補正ができず所期の目的を達成し得なくなる。

【0008】 本発明はこのような問題を解決し、PNPトランジスタ(Q101)のベース端子(B101)が電位変化する場合、あるいはカレントミラーを構成するPNPトランジスタ(Q102)、(Q103)の電流増幅率 $hfe$ が低下するような場合であっても、光が完全に遮断されたとほぼ同等の動作を行うことができるPNPトランジスタ回路を提供することを目的とする。

## 【0009】

【課題を解決するための手段】 上記目的を達成するため請求項1に記載のPNPトランジスタ回路では、モノシリック集積回路内に形成され第1のPNPトランジスタを有するPNPトランジスタ回路において、第2、第3及び第4のPNPトランジスタを用いて構成され、前記第2、第3のPNPトランジスタの両ベース端子と前記第4のエミッタ端子のみを結線した接続点を有し、前記第2のPNPトランジスタのコレクタ端子を前記第4のPNPトランジスタのベース端子に接続し、前記第4のPNPトランジスタのコレクタ端子を前記第1のPNP

(3)

3

トランジスタのベース端子に結線したカレントミラー回路を設けている。

【0010】そして請求項2に記載のPNPトランジスタ \*

$$S_1 = S_4 - (S_2 + S_3) \times \{ (2/hfe) (1 + 1/hfe) + 1 \}$$

ここで、

$S_1$ : 前記第1のPNPトランジスタのベース領域の面積

$S_2$ : 前記第2のPNPトランジスタのベース領域の面積

$S_3$ : 前記第3のPNPトランジスタのベース領域の面積

$S_4$ : 前記第4のPNPトランジスタのベース領域の面積

$hfe$ : 前記第2, 第3, 第4のPNPトランジスタの電流増幅率である。

【0011】

【作用】請求項1に記載のPNPトランジスタ回路によると、第4のPNPトランジスタの寄生フォトダイオードで発生した光電流と第2, 3のPNPトランジスタの寄生フォトダイオードで発生した光電流の差に応じた電流が、カレントミラー効果を利用して第4のPNPトランジスタのコレクタ電流として取り出され、第1のPNPトランジスタのベース端子に流し込まれる。これによりPNPトランジスタの寄生フォトダイオードで発生した光電流に起因するベース電流の変化分が補償され、第1のPNPトランジスタの動作に対する光の影響が低減される。そして、第1のPNPトランジスタのベース端子の電位変化あるいは第2, 第3, 第4のPNPトランジスタの電流増幅率低下が起こった場合においても、ほぼ一定の第4のPNPトランジスタのコレクタ電流が第1のPNPトランジスタのベース端子に流し込まれ、第1のPNPトランジスタのベース端子の電位変化及び第2, 第3, 第4のPNPトランジスタの電流増幅率の低下に影響を受けず、光電流の補正ができる。

【0012】請求項2に記載のPNPトランジスタ回路によると、前記第1請求項に記載のPNPトランジスタ回路において、第4のPNPトランジスタのコレクタから第1のPNPトランジスタのベース端子に流し込まれる電流と、第1のPNPトランジスタの寄生フォトダイオードで発生した光電流とがほぼ等しくなり、第1のPNPトランジスタのベース電流の変化分に対する補償が高精度に行われる。

【0013】

【実施例】以下、本発明のPNPトランジスタ回路の一実施例について、図1及び図2を参照しつつ説明する。図1は本実施例の等価回路を示しており、図2は本実施例の集積回路断面構造を示している。

【0014】図1においてPNPトランジスタ回路はPNPトランジスタ( $Q_1$ )を有しており、トランジスタ( $Q_1$ )のエミッタ、コレクタ及びベースの各端子

4

\*タ回路では、前記請求項2に記載のPNPトランジスタ回路において、次の条件式を満足するように構成している。

( $E_1$ ), ( $C_1$ ), ( $B_1$ )は周辺回路に接続されてPNPトランジスタとしての機能を周辺回路に提供している。また、トランジスタ( $Q_1$ )のベース端子( $B_1$ )はトランジスタ( $Q_4$ )のコレクタ端子にも結線されている。他方、PNPトランジスタ( $Q_2$ ), ( $Q_3$ )及び( $Q_4$ )はトランジスタ( $Q_1$ )の動作に対する光の影響を低減するための回路を構成し、更にトランジスタ( $Q_1$ )のベース端子( $B_1$ )の電位変化やPNPトランジスタ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ )の $hfe$ のバラツキに対しても、一定の電流をトランジスタ( $Q_1$ )のベース端子( $B_1$ )に供給することができる。

【0015】すなわち、PNPトランジスタ( $Q_2$ ), ( $Q_3$ )及び( $Q_4$ )はPNPトランジスタ( $Q_2$ ), ( $Q_3$ )のベース端子とトランジスタ( $Q_3$ )のコレクタ端子とトランジスタ( $Q_4$ )のエミッタ端子を結線すると共に、トランジスタ( $Q_2$ )のコレクタ端子とトランジスタ( $Q_4$ )のベース端子を結線している。そして、トランジスタ( $Q_2$ ), ( $Q_3$ )のエミッタ端子は電源( $V_{CC}$ )にそれぞれ接続し、カレントミラー回路を構成している。

【0016】また、トランジスタ( $Q_4$ )のコレクタ端子を前述したようにトランジスタ( $Q_1$ )のベース端子( $B_1$ )に結線している。

【0017】ここで、図1に示すように接続点(a)はトランジスタ( $Q_2$ )のコレクタ端子とトランジスタ( $Q_4$ )のベース端子のみを結線した接続点であり、他には結線されていない。

【0018】上記のPNPトランジスタ回路をモノシリック集積回路内で実現するために図2に示すようにN型エピタキシャル層(22)がP型サブストレート層(21)に形成される。図2の断面図は理解を容易にするためエミッタ及びコレクタは省略している。形成された各N型エピタキシャル層(22)はそれぞれトランジスタ( $Q_1$ ), ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ )のベースに対応するが、N型エピタキシャル層(22)とP型サブストレート層(21)の間には寄生フォトダイオード(5), (6), (7), (8)が存在する。このため、図1の等価回路においてトランジスタ( $Q_1$ ), ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ )の各ベース端子と接地点間に逆バイアスされた寄生フォトダイオード(5), (6), (7), (8)がそれぞれ接続されることになる。

【0019】したがって、集積回路チップ(20)内に光が侵入することにより、トランジスタ( $Q_1$ )のベース端子( $B_1$ )に接続された寄生フォトダイオード(5)で光電流( $I_{PD5}$ )が発生し、この光電流( $I_{PD5}$ )の発生によって、ベース電流( $I_{B'}$ )が変化

50

(4)

する。また、トランジスタ ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ ) についても同様に、ベース端子に接続された寄生フォトダイオード (6), (7), (8) で光電流 ( $I_{PD6}$ ), ( $I_{PD7}$ ), ( $I_{PD8}$ ) がそれぞれ発生する。

【0020】ところで、トランジスタ ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ ) のベース電流をそれぞれ ( $I_{B2}$ ), ( $I_{B3}$ ), ( $I_{B4}$ ) とし、トランジスタ ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ ) の電流増幅率を  $hfe$  とすると下記の (1) ~ (6) 式が成り立つ。

$$\begin{aligned} * I_{PD8} &= I_{C2} + I_{B4} \cdots (1) \\ I_{E4} &= I_{B2} + I_{B3} + I_{C3} - I_{PD6} - I_{PD7} \cdots (2) \\ I_{C2} &= I_{C3} \cdots (3) \\ I_{B2} &= I_{B3} \cdots (4) \\ I_{C2} &= hfe I_{B2} \cdots (5) \\ I_{E4} &= I_{C4} + I_{B4} \cdots (6) \end{aligned}$$

(3), (4), (5) 式より

$$I_{B2} = I_{B3} = I_{C2} / hfe = I_{C3} / hfe \cdots (7)$$

(7) 式を (2) 式に代入する

\* 10

$$\begin{aligned} I_{E4} &= I_{B2} + I_{B3} + I_{C3} - I_{PD6} - I_{PD7} = I_{C2} + 2(I_{C2} / hfe) - I_{PD6} - I_{PD7} \\ &= I_{C2}(1 + (2/hfe)) - I_{PD6} - I_{PD7} \\ I_{C2} &= (I_{E4} + I_{PD6} + I_{PD7}) / (1 + 2/hfe) \cdots (8) \end{aligned}$$

(6), (8) 式を (1) 式に代入すると光電流 ( $I_{PD8}$ ) は次式のようにになる。

$$\begin{aligned} I_{PD8} &= I_{C2} + I_{B4} = \{ (I_{E4} + I_{PD6} + I_{PD7}) / (1 + (2/hfe)) \} + I_{B4} \\ &= \{ (I_{C4} + I_{B4} + I_{PD6} + I_{PD7}) / (1 + (2/hfe)) \} + I_{B4} \\ &= \{ 2(1 + (1/hfe)) I_{B4} + I_{C4} + I_{PD6} + I_{PD7} \} / (1 + (2/hfe)) \end{aligned}$$

ここで、 $I_{B4} = I_{C4} / hfe$  を代入する

$$\begin{aligned} I_{PD8} &= \{ 2(1 + 1/hfe) I_{C4} / hfe + I_{C4} + I_{PD6} + I_{PD7} \} / (1 + 2/hfe) \\ &= \{ (2/hfe)(1 + 2/hfe) + 1 \} I_{C4} + I_{PD6} + I_{PD7} / (1 + 2/hfe) \cdots (9) \end{aligned}$$

これよりコレクタ電流 ( $I_{C4}$ ) は次式で表わされる。

$$I_{C4} = \{ I_{PD8}(1 + 2/hfe) - I_{PD6} - I_{PD7} \} / \{ (2/hfe)(1 + 2/hfe) + 1 \} \cdots (10)$$

(但し、 $I_{PD8} > I_{PD6} + I_{PD7}$ )

【0021】この電流 ( $I_{C4}$ ) はトランジスタ ( $Q_1$ ) のベース端子 ( $B_1$ ) に流し込まれる。よって、トランジスタ ( $Q_1$ ) のベース端子 ( $B_1$ ) から周辺回路に流れる電流を ( $I_B$ ) とすると、次式の関係になる。

$$I_{B'} = I_B + I_{PD5} - I_{C4} \cdots (11)$$

【0022】この式からわかるように、光の侵入によるトランジスタ ( $Q_1$ ) のベース電流 ( $I_{B'}$ ) の変化分 ( $I_{PD5}$ ) を (10) 式の電流 ( $I_{C4}$ ) によって補償し、トランジスタ ( $Q_1$ ) の動作に対する光の影響を低減することができる。特に、電流 ( $I_{C4}$ ) が電流 ( $I_{PD5}$ ) に等しくなるようにすれば、 $I_{B'} = I_B$  となり、光の侵入による影響を解消することができる。そのためには以下のようにすればよい。

【0023】一般に、フォトダイオードで発生する光電 ☆ 40

$$S_1 = S_4 - (S_2 + S_3) \{ (2/hfe)(1 + 1/hfe) + 1 \} \cdots (12)$$

上記関係のとき、 $I_{C4} = I_{PD5}$  となる。

【0024】したがって、(11) 式より次の関係が得られる。

$$I_{B'} = I_B \cdots (13)$$

【0025】以上のように設定すると、(13) 式よりトランジスタ ( $Q_1$ ) のベース電流 ( $I_{B'}$ ) は光の侵入によって寄生フォトダイオード (5) で発生する光電流 ( $I_{PD5}$ ) の影響を受けず、トランジスタ ( $Q_1$ ) のベー

☆ 流はそのフォトダイオードの接合部分の面積に比例す

る。本実施例の場合、同一の光に対して寄生フォトダイオード (5), (6), (7), (8) で発生する光電流は、図2に示すN型エピタキシャル層 (22) とP型サブストレート層 (21) とのそれぞれの接合面積に比例する。したがって、寄生フォトダイオード (5) の接合面積 (トランジスタ ( $Q_1$ ) のベース領域の面積) ( $S_1$ ) と寄生フォトダイオード (6) の接合面積 (トランジスタ ( $Q_2$ ) のベース領域の面積) ( $S_2$ )、寄生フォトダイオード (7) の接合面積 (トランジスタ ( $Q_3$ ) のベース領域の面積) ( $S_3$ ) 及び寄生フォトダイオード (8) の接合面積 (トランジスタ ( $Q_4$ ) のベース領域の面積) ( $S_4$ ) との間で、次の条件式を満足するように設計し、かつトランジスタ ( $Q_1$ ), ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ ) を近接して配置すればよい。

ス端子 ( $B_1$ ) から周辺回路へ流れる電流 ( $I_B$ ) にほぼ等しくなる。

【0026】そして本回路ではトランジスタ ( $Q_1$ ) のベース端子 ( $B_1$ ) の電位が変化した場合でも、図1のトランジスタ ( $Q_4$ ) によりトランジスタ ( $Q_3$ ) のコレクターエミッタ間電圧 ( $V_{CEQ3}$ ) の変化はほとんどなく、トランジスタ ( $Q_4$ ) のコレクタ電圧とは無関係に一定電流  $I_{PD8} - I_{PD6} - I_{PD7}$  (トランジスタ ( $Q_2$ ),

(5)

( $Q_3$ ), ( $Q_4$ ) の電流増幅率  $h_{fe}$  が十分に大きい場合) をトランジスタ ( $Q_1$ ) のベース端子に流し込むことができる。

$$I_{C4} = 0.995 I_{PD8} - \{ (I_{PD6} - I_{PD7}) / 1.105 \}$$

となり、 $I_{C4}$  に対する電流増幅率  $h_{fe}$  の影響を低減することができる。

【0028】

【発明の効果】以上説明した通り、請求項1に記載のPNPトランジスタ回路によれば、外部から侵入してくる光によるPNPトランジスタの動作への影響を低減することができ、第1のPNPトランジスタのベース端子電位変化あるいは第1のPNPトランジスタのベース端子に流し込む電流を形成する第2, 第3, 第4のトランジスタの電流増幅率の低下が起きた場合でも、光電流に起因するベース電流の変化分を補償することができる。

【0029】そして、請求項2に記載のPNPトランジスタ回路によれば、寄生フォトダイオードで発生した光電流に起因するベース電流の変化分を高精度に補償することができるため、光が完全に遮断された状態とほぼ同じ状態でPNPトランジスタを動作させることができる。また、第1のPNPトランジスタのベース端子電位変化及び第1のPNPトランジスタのベース端子に流し込む電流を形成する第2, 第3, 第4のトランジスタの電流増幅率の低下が起きた場合でも、光電流に起因するベース電流の変化分を高精度に補償することができる。

8

\* 【0027】また、トランジスタ ( $Q_2$ ), ( $Q_3$ ), ( $Q_4$ ) の電流増幅率  $h_{fe}$  がたとえば20と低くなった場合においても、(10) 式より

【0030】したがって、本発明のPNPトランジスタ回路は外部から侵入してくる光を遮断することができない素子の内部で微小電流を扱っている回路や寄生フォトダイオードによる光電流の影響が無視できない素子に対して極めて有効である。

【図面の簡単な説明】

【図1】 本発明のPNPトランジスタ回路の一実施例の等価回路を示す図。

【図2】 前記実施例の集積回路断面構造を示す図。

【図3】 従来の光電流補償を行ったPNPトランジスタ回路の等価回路を示す図。

【図4】 従来の光電流補償を行ったPNPトランジスタ回路の集積回路断面構造を示す図。

【符号の説明】

(5), (6), (7), (8) 寄生フォトダイオード

( $Q_1$ ) 第1のPNPトランジスタ

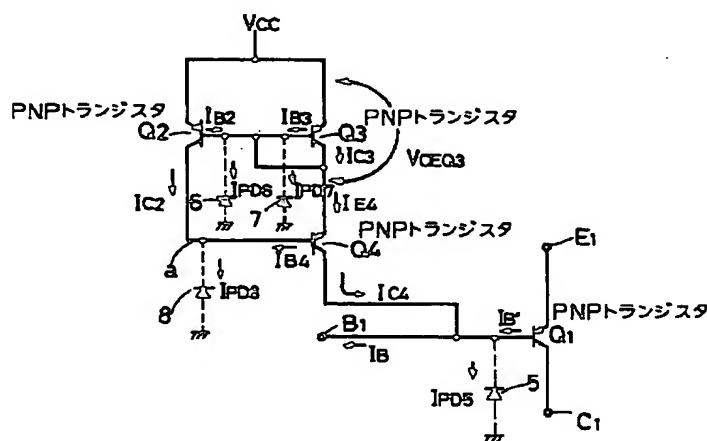
( $Q_2$ ) 第2のPNPトランジスタ

( $Q_3$ ) 第3のPNPトランジスタ

( $Q_4$ ) 第4のPNPトランジスタ

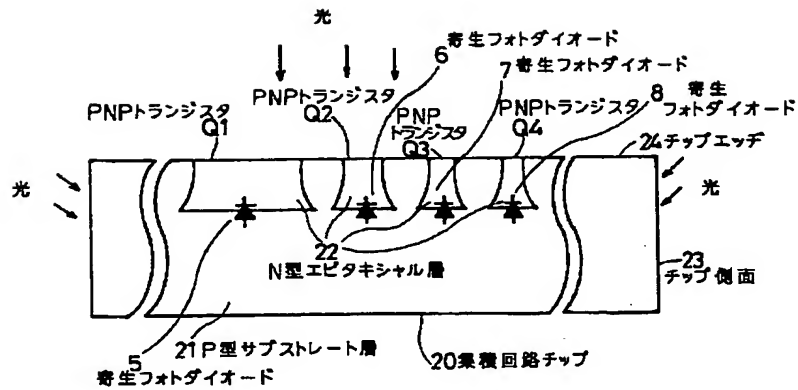
(a) カレントミラー回路内の接続点

【図1】

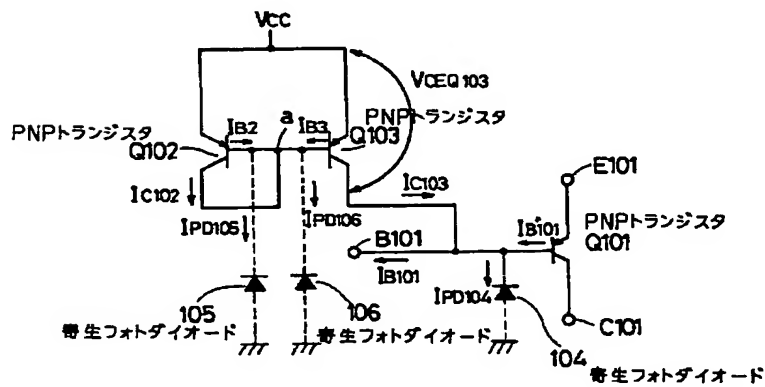


(6)

【図2】



【図3】



【図4】

